

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP2001023981  
Publication date: 2001-01-26  
Inventor(s): HASHIMOTO SAKAE  
Applicant(s): CANON INC  
Requested Patent: ☐ JP2001023981  
Application Number: JP19990194610 19990708  
Priority Number(s):  
IPC Classification: H01L21/3205  
EC Classification:  
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To reduce the distribution of a remaining film after CMP by the pattern compressional difference of wiring by using resist being allowed to stay at a recessed part on an interlayer insulation film as a mask for etching, and by performing polishing by the CMP after removing the resist.

**SOLUTION:** An insulating film 102 is laminated onto a substrate 101, Al family metal wiring 103 is formed, and a lower layer P-SiO film 4, an SOG layer 105, an upper layer P-SiO film 106 are successively laminated onto the Al family metal wiring for composing an interlayer insulation film on wiring. Then, photo resist 107 is applied onto the upper layer P-SiO film 106, resist on the projection part of the interlayer insulation film is etched for removing, and the resist 107 is etched back by oxygen plasma until the resist stays merely on the recessed part of the interlayer insulation film. Then, the resist 107 is released, and polishing is performed by CMP(chemical mechanical polishing) for forming a polishing surface with a less compressional step.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-23981  
(P2001-23981A)

(43) 公開日 平成13年1月26日 (2001.1.26)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/3205

識別記号

F I  
H 0 1 L 21/88

テーマコード\* (参考)  
K 5 F 0 3 3

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21) 出願番号 特願平11-194610

(22) 出願日 平成11年7月8日 (1999.7.8)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 橋本 栄

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

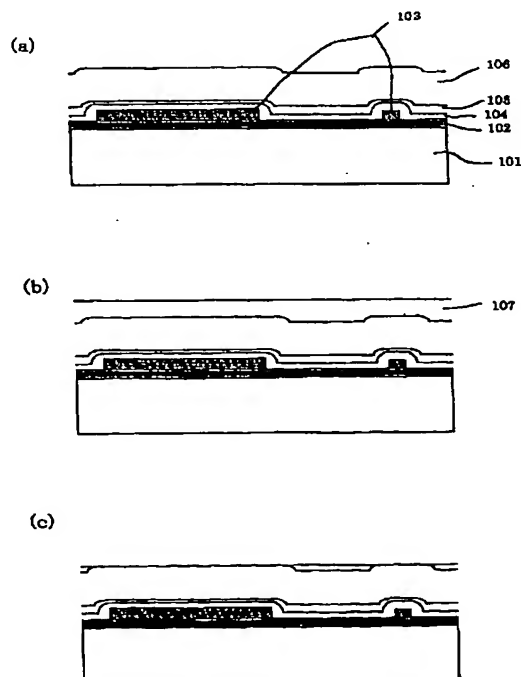
Fターム (参考) 5F033 HH08 QQ31 QQ32 QQ48 RR04  
RR09 TT02 XX01

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 パターン疎密差による研磨速度差を低減し、配線のパターン疎密差による化学的機械研磨後の残膜の分布を低減させる。

【解決手段】 基板上に第1の層間絶縁膜を形成するステップと、前記第1の層間絶縁膜上に配線パターンを形成するステップと、前記配線パターン上に第2の層間絶縁膜を形成するステップと、前記第2の層間絶縁膜上にレジストを塗布するステップと、エッチバックにより前記第2の層間絶縁膜の段差凹部にのみ前記レジストを残留させるステップと、この残留したレジストをマスクとして前記第2の層間絶縁膜のエッチングを行うステップと、前記残留したレジストを除去するステップと、前記第2の層間絶縁膜に対し化学的機械研磨を行うことにより前記第2の層間絶縁膜を平坦化するステップと、を有する。



## 【特許請求の範囲】

【請求項1】 基板上に第1の層間絶縁膜を形成するステップと、  
前記第1の層間絶縁膜上に配線パターンを形成するステップと、  
前記配線パターン上に第2の層間絶縁膜を形成するステップと、  
前記第2の層間絶縁膜上にレジストを塗布するステップと、  
エッチバックにより前記第2の層間絶縁膜の段差凹部にのみ前記レジストを残留させるステップと、  
この残留したレジストをマスクとして前記第2の層間絶縁膜のエッチングを行うステップと、  
前記残留したレジストを除去するステップと、  
前記第2の層間絶縁膜に対し化学的機械研磨を行うことにより前記第2の層間絶縁膜を平坦化するステップと、  
を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関する。本発明は、任意の半導体装置の製造に利用することができ、例えば、イメージセンサの製造方法に用いることができる。

【0002】〔発明の概要〕本発明は、基板上に配線及び該配線上に層間絶縁膜を備えた半導体装置の製造方法において、前記層間絶縁膜上の凹部に残留したレジストをマスクとしてエッチングを行い、レジスト除去後、化学的機械研磨（以下、「CMP」という。）により研磨を行うことにより、配線のパターン疎密差に関わらず均一な研磨が可能で、イメージセンサなどパターン疎密差による層間膜厚分布が感度ムラにつながる半導体装置の性能向上を目的としたものである。

## 【0003】

【従来の技術】配線の微細化が進むにつれて、層間絶縁膜の平坦化が要求され、サブハーフミクロンプロセスではCMPによる層間絶縁膜の平坦化が広く利用されている。

【0004】図3（a）は、半導体装置の工程中の断面図の一例を示したものである。図に示したように、基板201上に絶縁膜202を積層後、Al系金属配線203を形成し、その上に下層P-SiO膜204、SOG（spin on glass）層205、上層P-SiO膜206を順次積層し、配線上の層間絶縁膜構造を構成した。層間絶縁膜のCMPでは、図3（b）に示すように、一般に疎配線211上の層間絶縁膜の研磨後残膜厚は、密配線212上の層間絶縁膜の研磨後残膜厚よりも相対的に薄くなり、図中に示した疎密段差が生じる。これは、CMPの研磨布との接触面積が、疎配線211上の層間絶縁膜の方が、密配線212上の層間絶縁膜に比べて小さいため、単位面積当たりの研磨圧力が高

くなり、結果として実効的な研磨速度が速くなるためである。

【0005】このような、パターン疎密差による残膜厚の分布は、1. フォトリソグラフィの工程における焦点深度ばらつきによるパターン不均一、2. ホールエッチング時のエッチング過剰及びエッチング不足による配線抵抗のばらつき、さらに、3. イメージセンサのような受光素子における画素間の感度ばらつきの原因となる。

【0006】上記の問題点を解決するために、層間絶縁膜の段差凸部をCMPに先立って、レジストパターンをマスクとしてエッチングにより除去する方法が米国特許954,459号に開示されている。この方法を、図4に示す。

【0007】図4（a）に示すように、第一の層間絶縁膜301上の線幅（パターン疎密）の異なる複数の配線層302をパターンニングし、次いで第二の層間絶縁膜303を形成し、さらに段差凹部にレジストパターン304を形成する。次に、図4（b）に示すように、段差凹部の一部をレジストパターン304をマスクとしてエッチングする。次に、図4（c）に示すようにレジストパターン304を除去すると微小突起を残すのみとなり、図4（d）に示す、パターン疎密差の少ない平坦化が可能になる。

【0008】しかしながら、この技術では、1. 段差によるレジストの膜厚不均一により微細パターンの解像に限界がある、2. 特に微細パターンにおいて露光時のアライメントずれにより所望のエッチング形状が得られない可能性がある、という問題が発生する。

## 【0009】

【発明が解決しようとする課題】本発明は、上記事情に基づいてなされたもので、従来技術に比べ配線のパターン疎密差によるCMP後残膜の分布を低減し、かつ、微細パターンでも十分な平坦化効果が得られる半導体装置の製造方法を提供することを目的とする。

## 【0010】

【課題を解決するための手段】上記問題点を解決するため、基板上に配線及び該配線上に層間絶縁膜を備えた半導体装置の製造方法において、前記層間絶縁膜上の凹部にエッチバックにより残留したレジストをマスクとしてエッチングを行い、レジスト除去後、CMPにより研磨を行う構成としたものである。

【0011】〔作用〕本発明のポイントは、基板上に配線及び該配線上に層間絶縁膜を備えた半導体装置の製造方法において、層間絶縁膜上に塗布したレジストが、レジストエッチバックの過程で、層間絶縁膜凹部上にのみ自己整合的に残留するステップがあり、このステップで残留したレジストをマスクとして、CMP前にエッチングを実施した点である。この工程を採用したことにより、レジスト除去後、CMPを行う時に、従来問題となっていたパターン疎密差による研磨速度差が発生する要

図を排し、結果として、配線のパターン疎密差によるCMP後残膜の分布を低減させたものである。

【0012】

【発明の実施の形態】以下、本発明の一実施形態について、図1、2を参照して説明する。なお、本発明は図示の実施形態にのみ限定されるものではない。

【0013】本実施形態においては、図1(a)に示したように、基板101上に絶縁膜102を積層後、Al系金属配線103を形成し(膜厚6000Å)、その上に下層P-SiO膜104(膜厚3000Å)、SOG(spin on glass)層105(膜厚2500Å)、上層P-SiO膜106(膜厚16000Å)を順次積層し、配線上の層間絶縁膜構造を構成した。

【0014】次いで、上層P-SiO膜106上にフォトレジスト107を塗布した(図1(b))。

【0015】次いで、層間絶縁膜の凸部上のレジストがエッチング除去され、層間絶縁膜の凹部上のみレジストが残留するまで、レジスト107を酸素プラズマによりエッチバックした(図1(c))。

【0016】次いで、図1(c)のレジストマスクを用いて、CF<sub>4</sub>系RIEによりエッチングを実施した(図2(d))。ここでは、Al系金属配線103上の層間絶縁膜におけるCMPでの研磨量を10000Åと想定し、エッチング量を4000Åとした。このエッチング量はCMP研磨量及び層間絶縁膜の表面段差、パターン粗密差の程度により、適宜調整することが好ましい。

【0017】次いで、レジスト剥離を実施した(図2(e))。

【0018】次いで、CMPにより研磨を実施し、図2(f)のような、疎密段差の少ない研磨表面108を得た。

【0019】上述のように、本実施形態によれば、層間絶縁膜上の凹部にエッチバックにより自己整合的に残留したレジストをマスクとして、エッチングを行った後に

CMPを行うことにより、従来問題となっていたパターン疎密差による研磨速度差を低減し、結果として、配線のパターン疎密差によるCMP後残膜の分布を低減させることができた。

【0020】

【発明の効果】上述のように、本発明によれば、パターン疎密差による研磨速度差を低減し、配線のパターン疎密差によるCMP後残膜の分布を低減させることができた。これにより、1. フォトリソグラフィの工程における焦点深度ばらつきによるパターン不均一、2. ホールエッチング時のエッチング過剰及びエッチング不足による配線抵抗のばらつき、さらに、3. イメージセンサのような受光素子における画素間の感度ばらつきなどの素子への悪影響を生ずることを防止した半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施形態の前半部を工程順に断面図で示すものである。

【図2】本発明の実施形態の後半部を工程順に断面図で示すものである。

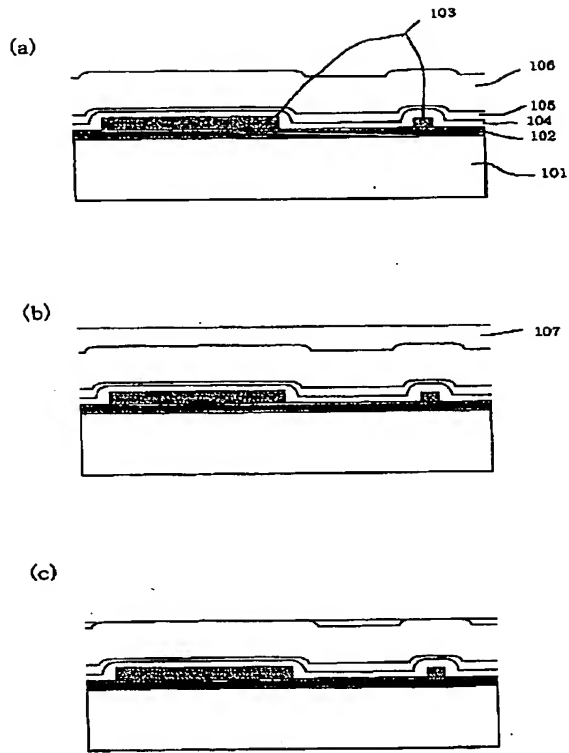
【図3】従来例の化学的機械研磨方法を説明するための断面図である。

【図4】従来例のパターン粗密差の少ない平坦化を可能にした化学的機械研磨方法を説明するための断面図である。

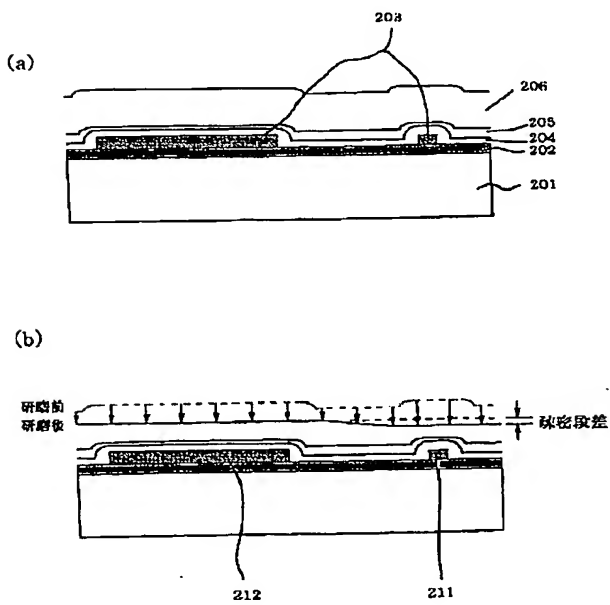
【符号の説明】

- 101 基板
- 102 絶縁膜
- 103 Al系金属配線
- 104 下層P-SiO膜
- 105 SOG(spin on glass)層
- 106 上層P-SiO膜
- 107 フォトレジスト
- 108 研磨表面

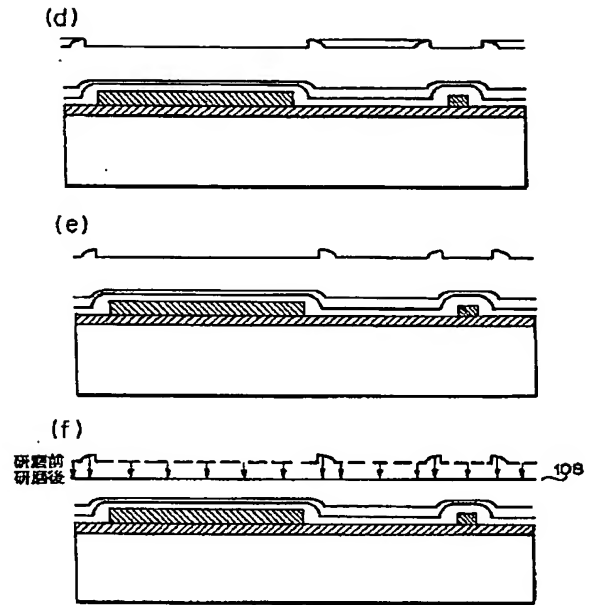
【圖1】



【圖3】



【圖2】



【圖4】

